

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-134629

(43)公開日 平成5年(1993)5月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		

審査請求 未請求 請求項の数 8 (全 25 頁) 最終頁に続く

(21)出願番号 特願平3-295626

(22)出願日 平成3年(1991)11月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 磯貝 博之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

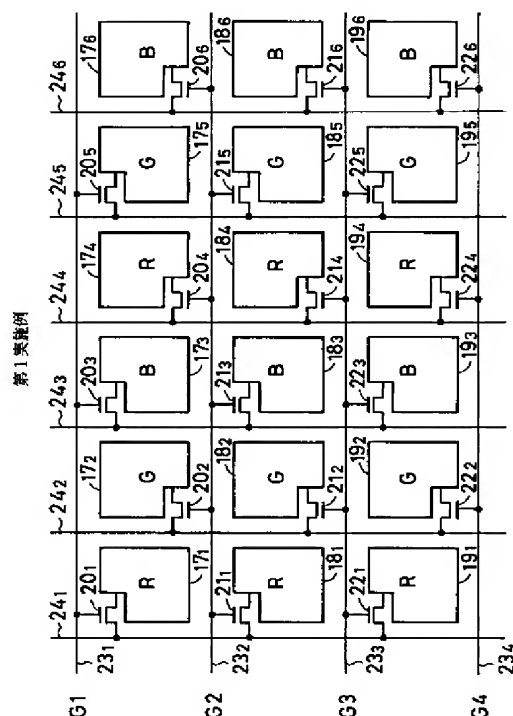
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 アクティブマトリクス型液晶表示パネル及びその駆動方法

(57)【要約】

【目的】アクティブマトリクス型液晶表示パネルに関し、低電圧駆動を行うと共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑える。

【構成】ゲートバスラインと、各行の画素電極とを交互に配列し、第*i*行においては、奇数列の画素電極は、第*i*のゲートバスラインによって選択され、偶数列の画素電極は、第*i*+1のゲートバスラインによって選択されるように、TFTを設ける。



【特許請求の範囲】

【請求項1】第1のゲートバスライン、第1行の画素電極、第2のゲートバスライン、第2行の画素電極・・・第n（但し、 $n = \text{正の整数}$ ）のゲートバスライン、第n行の画素電極及び第n+1のゲートバスラインを順に配列し、第i行（但し、 $1 \leq i \leq n$ ）においては、奇数列又は偶数列の画素電極は、第iのゲートバスラインによって選択され、該第iのゲートバスラインによって選択される画素電極以外の画素電極は、第i+1のゲートバスラインによって選択されるようにスイッチング素子を設けて構成されていることを特徴とするアクティブマトリクス型液晶表示パネル。

【請求項2】請求項1記載のアクティブマトリクス型液晶表示パネルの駆動方法であって、奇数列の画素電極に印加されるデータと偶数列の画素電極に印加されるデータとの間に、1水平期間の整数倍の遅延時間を有すると共に、1水平期間ごとに共通電極の電位を反転し、かつ、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、1水平期間ごとにデータの階調を反転させて供給することを特徴とするアクティブマトリクス型液晶表示パネルの駆動方法。

【請求項3】前記遅延時間は、画素電極にデータを供給するデータドライバ内部に遅延回路を設けて得ることを特徴とする請求項2記載のアクティブマトリクス型液晶表示パネルの駆動方法。

【請求項4】前記遅延時間は、画素電極にデータを供給するデータドライバ外部に遅延回路を設けて得ることを特徴とする請求項2記載のアクティブマトリクス型液晶表示パネルの駆動方法。

【請求項5】一行あたり2本のゲートバスラインを画素電極を挟むように設け、各行においては、奇数列又は偶数列の画素電極は、前記2本のゲートバスラインのうち、一方のゲートバスラインによって選択され、該一方のゲートバスラインによって選択される画素電極以外の画素電極は、前記2本のゲートバスラインのうち、他方のゲートバスラインによって選択されるようにスイッチング素子を設けて構成されていることを特徴とするアクティブマトリクス型液晶表示パネル。

【請求項6】請求項5記載のアクティブマトリクス型液晶表示パネルの駆動方法であって、各行、1水平期間の前半の期間においては、奇数列又は偶数列の画素電極を選択し、1水平期間の後半の期間においては、前記1水平期間の前半において選択した画素電極以外の画素電極を選択し、各水平期間の中間時点で共通電極の電位を反転させると共に、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、隣合う行では、奇数列の画素電極に供給するデータの階調と偶数列の画素電極に供給するデータの階調とが反転関係にあるように駆動することを特徴とするアク

ティブマトリクス型液晶表示パネルの駆動方法。

【請求項7】一行あたり2本のゲートバスラインを画素電極を挟むように設けると共に、1画素電極あたり、前記2本のゲートバスラインの一方又は他方のゲートバスラインによって制御され得る2個のスイッチング素子を設け、いずれかのスイッチング素子を非導通とすることによって構成されていることを特徴とするアクティブマトリクス型液晶表示パネル。

【請求項8】請求項7記載のアクティブマトリクス型液晶表示パネルの駆動方法であって、1/2水平期間ごとに順にゲートバスラインを駆動すると共に、1/2水平期間ごとに共通電極の電位を反転させ、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、全データバスラインに同極性のデータを1/2水平期間ごとに階調を反転させて供給することを特徴とするアクティブマトリクス型液晶表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示（Liquid Crystal Display）パネルのうち、各画素ごとにスイッチング素子を設けてなる、いわゆるアクティブマトリクス型液晶表示パネル及びその駆動方法に関する。

【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示パネルとして、図27にその部分斜視図を示すようなものが知られている。

【0003】図中、1、2はガラス基板、3、4は偏向板、5は液晶、6は画素電極、7はスイッチング素子をなす薄膜トランジスタ（以下、TFTという）、8はゲートバスライン（走査電極）、9はデータバスライン（信号電極）、10は共通電極、11はカラーフィルタであり、Rは赤の部分、Gは緑の部分、Bは青の部分を示している。

【0004】このアクティブマトリクス型液晶表示パネルは、ゲートドライバ（図示せず）を介してゲートバスライン8に印加するゲートパルスによってTFT7のON、OFFを制御し、選択した画素に対してデータバスライン9からの映像信号の書き込みを行うとするものであり、1水平期間に1ライン分（1行分）の書き込みを行うように制御される。

【0005】また、かかるアクティブマトリクス型液晶表示パネルにおいては、液晶5の劣化を防ぐため、いわゆる交流駆動を行い、液晶5に対して直流成分の電圧が長時間印加されないように制御するのが一般的である。

【0006】従来、かかる交流駆動を行う方法として、共通電極10に印加する電圧を一定とし、画素電極6に対して、正の映像信号と、負の映像信号とを交互に印加する方法が実行されていた。この場合、直流駆動方式の場合と異なり、階調数の2倍の数の電圧レベルを出力可

10

20

30

40

50

能なデータドライバを構成する必要があった。

【0007】かかるデータドライバは、通常、複数のドライバICを配列して構成されるが、図28は、かかる交流駆動用のドライバICの一例を示すブロック図である。図中、12はシフトレジスタ、13はデータレジスタ、14はラッチ回路、15はセクタ、SPはスタートパルス、CLはクロックパルス、LEはラッチパルス、V1～V16は電圧レベルを異にする直流電圧である。

【0008】かかるドライバICは、デジタル化されているRGB3色の映像信号を入力し、これをシフトレジスタ12によって1画素ごとにデータレジスタ13に記憶した後、このデータレジスタ13に記憶された映像信号をラッチ回路14にラッチし、このラッチ回路14がラッチした各画素の映像信号に対応する直流電圧をセクタ15によって選択し、これら選択された各画素ごとの直流電圧をデータバスラインを介して画素電極に供給するというものである。

【0009】ところで、アクティブマトリクス型液晶表示パネルにつき、交流駆動を行うためには、前述したように、階調数の2倍の数の電圧レベルを必要とするため、例えば、8階調表示を行うためには、16種類の電圧レベルの直流電圧が必要となる。

【0010】このため、データドライバを低消費電力で動作させることが困難であると共に、セクタ15に設けるべきアナログスイッチの数も1出力に対して階調数の2倍の数を必要とするため、チップサイズの縮小化も困難とされていた。

【0011】そこで、近年、かかる問題点を解消するために、共通電極の電位を交流駆動のタイミングで変化させることにより、各画素電極に供給すべき電圧レベルの数を直流駆動の場合と同じ数の電圧レベルにできるようにした低電圧交流駆動方法が提案されている。

【0012】これは、例えば、図29に示すように、各画素電極に供給される映像信号の電圧レベルが0～5[V]の範囲にあるとした場合、正極性駆動時には、共通電極の電位を-2[V]に設定し、負極性駆動時には、共通電極の電位を7[V]に設定するというものである。

【0013】かかる低電圧交流駆動方法によれば、交流駆動を行うにも関わらず、例えば、8階調表示する場合には、階調数と同数の8種類の電圧レベルの直流電圧を用意すれば足り、階調数の2倍の16種類の電圧レベルの直流電圧を用意する必要がない。したがって、データドライバを構成するドライバICの低消費電力化と、チップサイズの縮小化とを図ることができる。

【0014】

【発明が解決しようとする課題】ところで、交流駆動方法には、フレームあるいはフィールドごとに極性を反転させるもの、ゲートバスライン方向の1ライン（一行）

ごとに極性を反転させるもの、データバスライン方向の1ライン（一行）ごとに極性を反転させるもの、1画素ごとに極性を反転させるものに大別することができる。

【0015】ところが、正極性駆動時と負極性駆動時とでは、画素のT（透過率）-V（印加電圧）特性が非対称であるため、フリッカが発生し、人間の目がチラツキを感じてしまうという問題点があり、特に、フレームあるいはフィールドごとに極性を反転させる交流駆動方法ではフリッカが目立ってしまう。このため、共通電極の電位を変化させない交流駆動方法では、通常、ラインごとの交流駆動又は1画素ごとの交流駆動が行われる。

【0016】これに対して、共通電極の電位を変化させる低電圧交流駆動を行うと、ゲートバスライン方向の1ラインごとに極性を反転することはできても、データバスライン方向の1ラインごとに極性を反転することはできないし、また、1画素ごとの極性反転もできない。なぜなら、共通電極の電圧を極性反転に対応させて変化させているからである。

【0017】このように、共通電極の電位を変化させる低電圧交流駆動方法は、データドライバを構成するドライバICの低消費電力化と、チップサイズの縮小化とを図ることができるにも関わらず、図27に示す従来のアクティブマトリクス型液晶表示パネルを使用する限り、1画素ごとの極性反転を行うことができず、フリッカによる表示品質の低下を最小限に抑えることができないという問題点があった。

【0018】本発明は、かかる点に鑑み、低電圧交流駆動を行うことができると共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができるようにしたアクティブマトリクス型液晶表示パネル及びその駆動方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明中、第1の発明によるアクティブマトリクス型液晶表示パネルは、第1のゲートバスライン、第1行の画素電極、第2のゲートバスライン、第2行の画素電極・・・第n（但し、n=正の整数）のゲートバスライン、第n行の画素電極及び第n+1のゲートバスラインを順に配列し、第i行（但し、 $1 \leq i \leq n$ ）においては、奇数列又は偶数列の画素電極は、第iのゲートバスラインによって選択され、この第iのゲートバスラインによって選択される画素電極以外の画素電極は、第i+1のゲートバスラインによって選択されるようにスイッチング素子を設けて構成するというものである。

【0020】本発明中、第2の発明によるアクティブマトリクス型液晶表示パネルは、一行あたり2本のゲートバスラインを画素電極を挟むように設け、各行においては、奇数列又は偶数列の画素電極は、2本のゲートバスラインのうち、一方のゲートバスラインによって選択さ

5

れ、この一方のゲートバスラインによって選択される画素電極以外の画素電極は、2本のゲートバスラインのうち、他方のゲートバスラインによって選択されるようにスイッチング素子を設けて構成するというものである。

【0021】本発明中、第3の発明によるアクティブマトリクス型液晶表示パネルは、一行あたり2本のゲートバスラインを画素電極を挟むように設けると共に、1画素電極あたり、前記2本のゲートバスラインの一方又は他方のゲートバスラインによって制御され得る2個のスイッチング素子を設け、いずれかのスイッチング素子を非導通とすることによって構成するというものである。

【0022】

【作用】第1の発明によるアクティブマトリクス型液晶表示パネルは、例えば、奇数列の画素電極に印加されるデータと偶数列の画素電極に印加されるデータとの間に1水平期間の整数倍の遅延時間を有すると共に、1水平期間ごとに駆動共通電極の電位を反転し、かつ、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、1水平期間ごとにデータの階調を反転させて供給することにより、低電圧交流駆動を行うと共に、1画素ごとの極性反転を行うことができる。

【0023】第2の発明によるアクティブマトリクス型液晶表示パネルは、各行、1水平期間の前半の期間においては、奇数列又は偶数列の画素電極を選択し、1水平期間の後半の期間においては、前記1水平期間の前半において選択した画素電極以外の画素電極を選択し、各水平期間の中間時点で共通電極の電位を反転させると共に、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、隣合う行では、奇数列の画素電極に供給するデータの階調と偶数列の画素電極に供給するデータの階調とが反転関係にあるように駆動することにより、低電圧交流駆動を行うと共に、1画素ごとの極性反転を行うことができる。

【0024】第3の発明によるアクティブマトリクス型液晶表示パネルは、第2の発明と同一の構成とした場合には、第2の発明と同様に駆動することにより、低電圧交流駆動を行うと共に、1画素ごとの極性反転を行うことができる。

【0025】これに対して、欠陥スイッチング素子の位置の関係で、第2の発明の場合と同様に構成できない場合、即ち、奇数列及び偶数列の画素電極を完全に区分して駆動できない場合、例えば、奇数列及び偶数列の一部を同時に駆動せざるを得ない構成とした場合には、1/2水平期間ごとに順にゲートバスラインを駆動すると共に、1/2水平期間ごとに共通電極の電位を反転させ、次フレームあるいは次フィールドにおいては、各画素に供給されるデータの階調が反転するように、全データバスラインに同極性のデータを1/2水平期間ごとに階調を反転させて供給することにより、低電圧交流駆動

6

を行うと共に、一部分を除き、1画素ごとの極性反転を行うことができる。

【0026】

【実施例】以下、図1～図26を参照して本発明の第1実施例～第3実施例のアクティブマトリクス型液晶表示パネルについて説明する。なお、駆動方法を説明する場合には、8階調表示を行う場合を例にして説明する。

【0027】第1実施例・図1～図11

図1は本発明の第1実施例のアクティブマトリクス型液晶表示パネルの要部であるTFT基板（TFTが形成される側の基板）のTFT形成面の一部を概略的に示す平面図であり、図中、17₁～17₆、18₁～18₆、19₁～19₆は画素電極、20₁～20₆、21₁～21₆、22₁～22₆はTFT、23₁～23₄はゲートバスライン、24₁～24₆はデータバスライン、G1～G4はゲートパルスである。

【0028】即ち、この第1実施例のアクティブマトリクス型液晶表示パネルは、第1のゲートバスライン、第1行の画素電極、第2のゲートバスライン、第2行の画素電極・・・第n（但し、n＝正の整数）のゲートバスライン、第n行の画素電極及び第n+1のゲートバスラインを順に配列し、第i行（但し、1≤i≤n）においては、奇数列の画素電極は、第iのゲートバスラインによって選択され、偶数列の画素電極は、第i+1のゲートバスラインによって選択されるようにTFTを設けるというものである。

【0029】図2は、この第1実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例を示す図であり、図中、25はゲートバスライン23₁～23₄を駆動するゲートドライバ、26は奇数列のデータバスライン24₁～24_{2k-1}を駆動するデータドライバ（以下、上側データドライバという）、27は偶数列のデータバスライン24₂～24_{2k}を駆動するデータドライバ（以下、下側データドライバという）である。

【0030】ここに、上側データドライバ26及び下側データドライバ27は、それぞれ、複数のドライバICを配列して構成されるが、例えば、図3は、上側データドライバ26を構成するドライバICの構成を示すブロック図である。図中、28はシフトレジスタ、29はデータレジスタ、30はラッチ回路、31はセレクト、32は反転／非反転回路である。

【0031】また、SPはスタートパルス、CLはクロックパルス、ISは反転／非反転指示信号、LEはラッチパルス、V1～V8は電圧レベルを異にする直流電圧である。

【0032】なお、反転／非反転回路32は、反転／非反転指示信号ISに制御され、入力されるRGB3色のデジタル信号を反転し又は反転しないで出力するというものである。

【0033】かかるドライバICは、デジタル化されて

7

いる奇数列のRGB3色の映像信号を入力し、これを反転し又は反転せず、シフトレジスタ28によって1画素ごとにデータレジスタ29に記憶させた後、このデータレジスタ29に記憶された映像信号をラッチ回路30にラッチし、このラッチ回路30がラッチした各画素の映像信号に対応する直流電圧をセクタ31によって選択し、これら選択された各画素ごとの直流電圧をデータバスラインを介して画素電極に供給するというものである。

【0034】また、図4は、下側データドライバ27を構成するドライバICの構成を示すブロック図であり、図中、33はシフトレジスタ、34はデータレジスタ、35はラッチ回路、36はラッチ回路35と同一構成を有する遅延回路をなす遅延レジスタ、37はセクタ、38は反転／非反転回路、LE1はラッチ回路35用のラッチパルス、LE2は遅延レジスタ36用のラッチパルスである。

【0035】かかるドライバICは、デジタル化されている偶数列のRGB3色の映像信号を入力し、これを反転し又は反転せず、シフトレジスタ33によって1画素ごとにデータレジスタ34に記憶させた後、このデータレジスタ34に記憶された映像信号をラッチ回路35にラッチし、このラッチ回路35にラッチされたデータを遅延レジスタ36に転送し、1水平期間遅延させ、この1水平期間遅延させた各画素の映像信号に対応する直流電圧をセクタ37によって選択し、これら選択された各画素ごとの直流電圧をデータバスラインを介して画素電極に印加するというものである。

【0036】ここに、図5は、この第1実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を示すタイムチャート、図6～図10は、この第1実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。以下、この範囲内で駆動動作を説明する。

【0037】まず、第1水平期間においては、共通電極の電位は $-2[V]$ とされ、ゲートパルスG1が第1行のゲートバスライン23₁に印加される。この結果、第1行の奇数列のTFT20₁、20₃、20₅がONとされ、図6に斜線を付して示すように、第1行の奇数列の画素電極17₁、17₃、17₅が選択される。

【0038】この場合、第1行の奇数列の画素電極17₁、17₃、17₅には、上側データドライバ26から第1行の奇数列の映像信号D₁₁、D₁₃、D₁₅が階調を反転させない状態で供給される。即ち、この場合には、正極性駆動が行われる。

【0039】次に、第2水平期間になると、共通電極の電位は、 $7[V]$ とされ、ゲートパルスG2がゲートバスライン23₂に印加される。この結果、第1行の偶数列のTFT20₂、20₄、20₆及び第2行の奇数列のTFT21₁、21₃、21₅がONとされ、図7に斜線

8

を付して示すように、第1行の偶数列の画素電極17₂、17₄、17₆及び第2行の奇数列の画素電極18₁、18₃、18₅が選択される。

【0040】この場合、第1行の偶数列の画素電極17₂、17₄、17₆には、下側データドライバ27から第1行の偶数列の映像信号D₁₂、D₁₄、D₁₆が階調を反転させた状態で供給されると共に、第2行の奇数列の画素電極18₁、18₃、18₅には、上側データドライバ26から第2行の奇数列の映像信号D₂₁、D₂₃、D₂₅が階調を反転させた状態で供給される。即ち、この場合には、負極性駆動が行われる。

【0041】次に、第3水平期間になると、共通電極の電位は $-2[V]$ にされ、ゲートパルスG3がゲートバスライン23₃に印加される。この結果、第2行の偶数列のTFT22₁、22₃、22₅及び第3行の奇数列のTFT22₁、22₃、22₅がONとされ、図8に斜線を付して示すように、第2行の偶数列の画素電極18₂、18₄、18₆及び第3行の奇数列の画素電極19₁、19₃、19₅が選択される。

【0042】この場合、第2行の偶数列の画素電極18₂、18₄、18₆には、下側データドライバ27から第2行の偶数列の映像信号D₂₂、D₂₄、D₂₆が階調を反転させない状態で供給されると共に、第3行の奇数列の画素電極19₁、19₃、19₅には、上側データドライバ26から第3行の奇数列の映像信号D₃₁、D₃₃、D₃₅が階調を反転させない状態で供給される。即ち、この場合は、正極性駆動が行われる。

【0043】以下、かかる動作が繰り返されて、1フィールドの駆動が行われるが、画素電極と駆動極性との関係は、図9に「正」、「負」で示すようになる。そこで、次のフィールドでは、各画素に映像信号の階調を反転させて供給する。この結果、画素電極と駆動極性との関係は、図10に示すようになる。

【0044】このように、この第1実施例によれば、低電圧交流駆動を行うことができると共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【0045】なお、図11は、本発明の第1実施例のアクティブマトリクス型液晶表示パネルの駆動方法の他の例を示す図である。図中、39は上側データドライバ26と同様に遅延レジスタを有しないデータドライバであり、この例は、偶数列の映像信号をラインメモリ40を介して1水平期間遅延させて下側データドライバ39に供給するというものであり、この駆動方法においても、上述と同様の効果を得ることができる。

【0046】第2実施例・・・図12～図23

図12は本発明の第2実施例のアクティブマトリクス型液晶表示パネルの要部であるTFT基板のTFT形成面

41₆、42₁～42₆、43₁～43₆は画素電極、44₁～44₆、45₁～45₆、46₁～46₆はTF T、47₁～47₃、48₁～48₃はゲートバスライン、G1 A～G3 A、G1 B～G3 Bはゲートパルス、49₁～49₆はデータバスラインである。

【0047】即ち、この第2実施例のアクティブマトリクス型液晶表示パネルは、一行あたり、2本のゲートバスラインを画素電極を挟むように設け、各行においては、奇数列の画素電極は、2本のゲートバスラインのうち、一方のゲートバスラインによって選択され、偶数列の画素電極は、2本のゲートバスラインのうち、他方のゲートバスラインによって選択されるようにTF Tを設けるといものである。

【0048】図13は、この第2実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例を示す図であり、図中、50はゲートバスライン47₁～47₃、48₁～48₃を駆動するゲートドライバ、51は奇数列のデータバスライン49₁～49_{2k-1}を駆動する上側データドライバ、52は偶数列のデータバスライン49₂～49_{2k}を駆動する下側データドライバである。

【0049】ここに、上側データドライバ51及び下側データドライバ52は、それぞれ、複数のドライバICを配列して構成されるが、図14は、かかるドライバICの構成を示すブロック図である。図中、53はシフトレジスタ、54はデータレジスタ、55はラッチ回路、56は反転／非反転回路、57はセクタである。

【0050】かかるドライバICは、デジタル化されている奇数列又は偶数列のRGB3色の映像信号を入力し、これをシフトレジスタ53によって1画素ごとにデータレジスタ54に記憶させた後、このデータレジスタ54に記憶された映像信号をラッチ回路55にラッチし、このラッチ回路55がラッチした各画素の映像信号を反転／非反転回路56を介して反転し又は反転せずにセクタ57に転送して、対応する直流電圧をセクタ57によって選択し、これら選択された各画素ごとの直流電圧をデータバスラインを介して画素電極に印加するというものである。

【0051】ここに、図15は、この第2実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を示すタイムチャート、図16～図23は、この第2実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。以下、この範囲内で駆動動作を説明する。

【0052】まず、第1水平期間の前半の期間においては、共通電極の電位は、-2[V]とされ、ゲートパルスG1 Aが第1行の一方のゲートバスライン47₁に印加される。この結果、第1行の奇数列のTF T44₁、44₃、44₅がONとされ、図16に斜線を付して示すように、第1行の奇数列の画素電極41₁、41₃、41₅が選択される。

【0053】この場合、第1行の奇数列の画素電極41₁、41₃、41₅には、上側データドライバ51から第1行の奇数列の映像信号D₁₁、D₁₃、D₁₅が階調を反転させない状態で供給される。即ち、この場合には、正極性駆動が行われる。

【0054】次に、第1水平期間の後半の期間になると、共通電極の電位は7[V]とされると共に、ゲートパルスG1 Bが第1行の他方のゲートバスライン48₁に印加される。この結果、第1行の偶数列のTF T44₂、44₄、44₆がONとされ、図17に斜線を付して示すように、第1行の偶数列の画素電極41₂、41₄、41₆が選択される。

【0055】この場合、第1行の偶数列の画素電極41₂、41₄、41₆には、下側データドライバ52から第1行の偶数列の映像信号D₁₂、D₁₄、D₁₆が階調を反転させた状態で供給される。即ち、この場合には、負極性駆動が行われる。

【0056】次に、第2水平期間の前半の期間になると、共通電極の電位は7[V]に維持されたまま、ゲートパルスG2 Aが第2行の一方のゲートバスライン47₂に印加される。この結果、第2行の奇数列のTF T45₁、45₃、45₅がONとされ、図18に斜線を付して示すように、第2行の奇数列の画素電極42₁、42₃、42₅が選択される。

【0057】この場合、第2行の奇数列の画素電極42₁、42₃、42₅には、上側データドライバ51から第2行の奇数列の映像信号D₂₁、D₂₃、D₂₅が階調を反転させた状態で供給される。即ち、この場合には、負極性駆動が行われる。

【0058】次に、第2水平期間の後半の期間になると、共通電極の電位は-2[V]とされると共に、ゲートパルスG2 Bが第2行の他方のゲートバスライン48₂に印加される。この結果、第2行の偶数列のTF T45₂、45₄、45₆がONとされ、図19に斜線を付して示すように、第2行の偶数列の画素電極42₂、42₄、42₆が選択される。

【0059】この場合、第2行の偶数列の画素電極42₂、42₄、42₆には、下側データドライバ52から第2行の偶数列の映像信号D₂₂、D₂₄、D₂₆が階調を反転させない状態で供給される。即ち、この場合には、正極性駆動が行われる。

【0060】次に、第3水平期間の前半の期間になると、共通電極の電位は-2[V]とされたまま、ゲートパルスG3 Aが第3行の一方のゲートバスライン47₃に印加される。この結果、第3行の奇数列のTF T46₁、46₃、46₅がONとされ、図20に斜線を付して示すように、第3行の奇数列の画素電極43₁、43₃、43₅が選択される。

【0061】この場合、第3行の奇数列の画素電極43₁、43₃、43₅には、上側データドライバ51から第

11

3行の奇数列の映像信号D₃₁、D₃₃、D₃₅が階調を反転させない状態で供給される。即ち、この場合には、正極性駆動が行われる。

【0062】次に、第3水平期間の後半の間になると、共通電極の電位は7[V]とされると共に、ゲートパルスG_{3B}が第3行の他方のゲートバスライン4₈₃に印加される。この結果、第3行の偶数列のTFT4₆₂、4₆₄、4₆₆がONとされ、図21に斜線を付して示すように、第3行の偶数列の画素電極4₃₂、4₃₄、4₃₆が選択される。

【0063】この場合、第3行の偶数列の画素電極4₃₂、4₃₄、4₃₆には、下側データドライバ5₂から第3行の偶数列の映像信号D₃₂、D₃₄、D₃₆が階調を反転させた状態で供給される。即ち、この場合には、負極性駆動が行われる。

【0064】以下、かかる動作が繰り返されて、1フィールドの駆動が行われるが、画素電極と駆動極性との関係は、図22に「正」、「負」で示すようになる。そこで、次のフィールドでは、各画素に映像信号の階調を反転させて供給する。この結果、画素電極と駆動極性との

関係は、図23に示すようになる。

【0065】このように、この第2実施例によっても、低電圧交流駆動を行うことができると共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【0066】第3実施例・・図24～図26

図24は本発明の第3実施例のアクティブマトリクス型液晶表示パネルの要部であるTFT基板のTFT形成面の一部分を概略的に示す平面図であり、図中、5₈₁～5₈₆、5₉₁～5₉₆、6₀₁～6₀₆は画素電極、6₁₁～6₁₆、6₂₁～6₂₆、6₃₁～6₃₆、6₄₁～6₄₆、6₅₁～6₅₆、6₆₁～6₆₆はTFT、6₇₁～6₇₃、6₈₁～6₈₃はゲートバスライン、6₉₁～6₉₆はデータバスラインである。

【0067】この第3実施例のアクティブマトリクス型液晶表示パネルは、一行あたり2本のゲートバスラインを画素電極を挟むように設けると共に、1画素電極あたり、2本のゲートバスラインの一方又は他方のゲートバスラインによって制御され得る2個のTFTを設け、これら2個のTFTのうち、一方のTFTをレーザ等によって非導通とすることにより構成したものである。

【0068】これは、TFTの欠陥によって無点灯となる画素を救済することを目的として構成されたものであり、図24の例においては、破線で示すTFT6₁₂、6₁₄、6₁₆、6₂₁、6₂₃、6₂₅、6₃₄、6₃₆、6₄₁、6₄₂、6₄₃、6₄₅、6₅₂、6₅₄、6₅₆、6₆₁、6₆₃、6₆₅を非導通としたものである。

【0069】この例の場合、第2行については、奇数列の画素電極と偶数列の画素電極とを区別して選択するこ

12

とはできないので、第2実施例の場合とは同様には駆動することができない。

【0070】そこで、この場合には、図13に示す場合と同様にゲートドライバ5₀、上側データドライバ5₁及び下側データドライバ5₂を接続すると共に、例えば、図25にタイムチャートを示すように駆動する。

【0071】即ち、ゲートパルスG_{1A}、G_{1B}、G_{2A}・・・・を順に、ゲートバスライン6₇₁、6₈₁、6₇₂・・・・に供給すると共に、例えば、1水平期間の前半の期間においては、共通電極の電位を-2[V]とし、上側データドライバ5₁及び下側データドライバ5₂から共に階調を反転させないデータを出力し、1水平期間の後半の期間においては、共通電極の電位を7[V]とし、上側データドライバ5₁及び下側データドライバ5₂から共に階調を反転させたデータを出力することで全画素の点灯を行うことができる。

【0072】なお、この場合にも、次フィールドにおいては、各画素に供給するデータの極性を反転させることで、画素電極5₉₂の部分を除き、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【0073】なお、図26は、第3実施例において、TFT6₁₂、6₁₄、6₁₆、6₂₁、6₂₃、6₂₅、6₃₂、6₃₄、6₃₆、6₄₁、6₄₃、6₄₅、6₅₂、6₅₄、6₅₆、6₆₁、6₆₃、6₆₅を非導通とし、第2実施例と同様に構成した場合を示している。

【0074】この場合は、第2実施例の場合と同様に駆動することで、低電圧交流駆動を行うことができると共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【0075】

【発明の効果】本発明によれば、低電圧交流駆動を行うことができると共に、1画素ごとの極性反転を行い、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【0076】但し、第3の発明によれば、低電圧交流駆動を行うことができることは、第1の発明及び第2の発明の場合と同様であるが、1画素ごとの極性反転は、場合によっては、一部分の画素電極部分を除いて行うことができ、この範囲内で、隣合う画素では駆動極性が異なるようにし、フリッカによる表示品質の低下を最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例のアクティブマトリクス型液晶表示パネルの要部であるTFT基板のTFT形成面の一部分を概略的に示す平面図である。

【図2】本発明の第1実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例を示す図である。

1 3

【図 3】上側データドライバを構成するドライバ I C の構成を示すブロック図である。

【図 4】下側データドライバを構成するドライバ I C の構成を示すブロック図である。

【図 5】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を示すタイムチャートである。

【図 6】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 7】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 8】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 9】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 1 0】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 1 1】本発明の第 1 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の他の例を示す図である。

【図 1 2】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの要部である T F T 基板の T F T 形成面の一部分を概略的に示す平面図である。

【図 1 3】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例を示す図である。

【図 1 4】上側データドライバ及び下側データドライバを構成するドライバ I C の構成を示すブロック図である。

【図 1 5】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を示すタイムチャートである。

【図 1 6】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 1 7】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明す

1 4

るための図である。

【図 1 8】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 1 9】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 2 0】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 2 1】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 2 2】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 2 3】本発明の第 2 実施例のアクティブマトリクス型液晶表示パネルの駆動方法の一例の駆動動作を説明するための図である。

【図 2 4】本発明の第 3 実施例のアクティブマトリクス型液晶表示パネルの要部である T F T 基板の T F T 形成面の一部分を概略的に示す平面図である。

【図 2 5】本発明の第 3 実施例のアクティブマトリクス型液晶表示パネルの駆動動作を示すタイムチャートである。

【図 2 6】本発明の第 3 実施例において、その構成を第 2 実施例の場合と同様にした場合を示す T F T 基板の T F T 形成面の一部分を概略的に示す平面図である。

【図 2 7】従来のアクティブマトリクス型液晶表示パネルを示す部分斜視図である。

【図 2 8】ドライバ I C の一例の構成を示すブロック図である。

【図 2 9】低電圧交流駆動方法を説明するための図である。

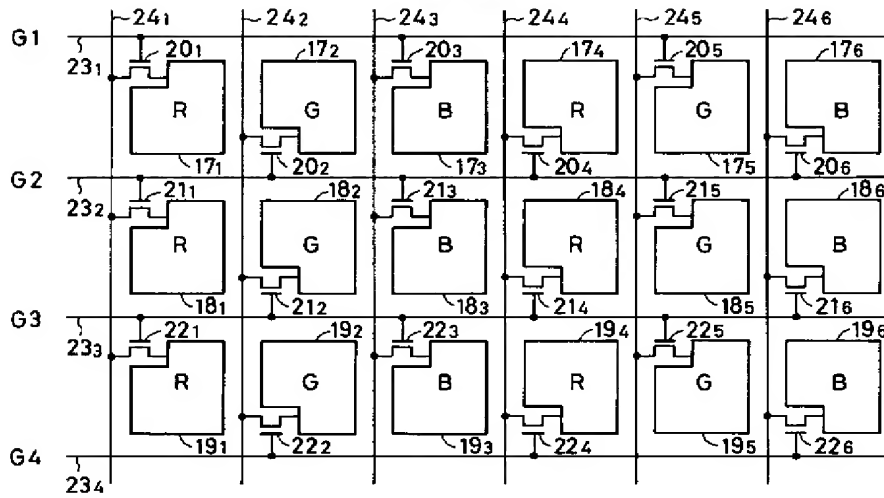
【符号の説明】

1 7₁～1 7₆、1 8₁～1 8₆、1 9₁～1 9₆ 画素電極
2 0₁～2 0₆、2 1₁～2 1₆、2 2₁～2 2₆ T F T
2 3₁～2 3₄ ゲートバスライン
2 4₁～2 4₆ データバスライン

4 0

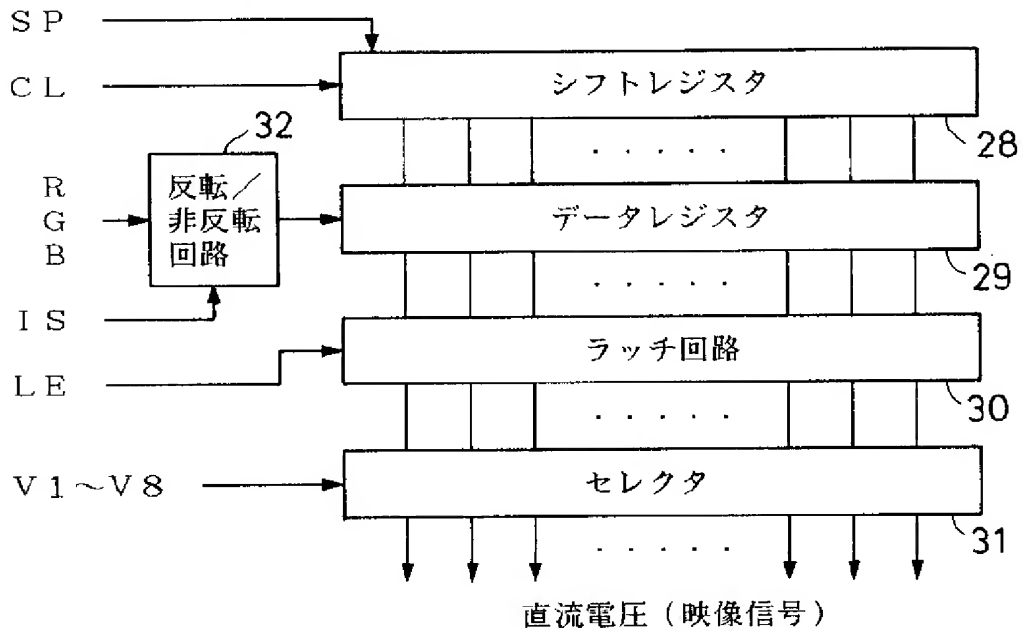
【図1】

第1実施例

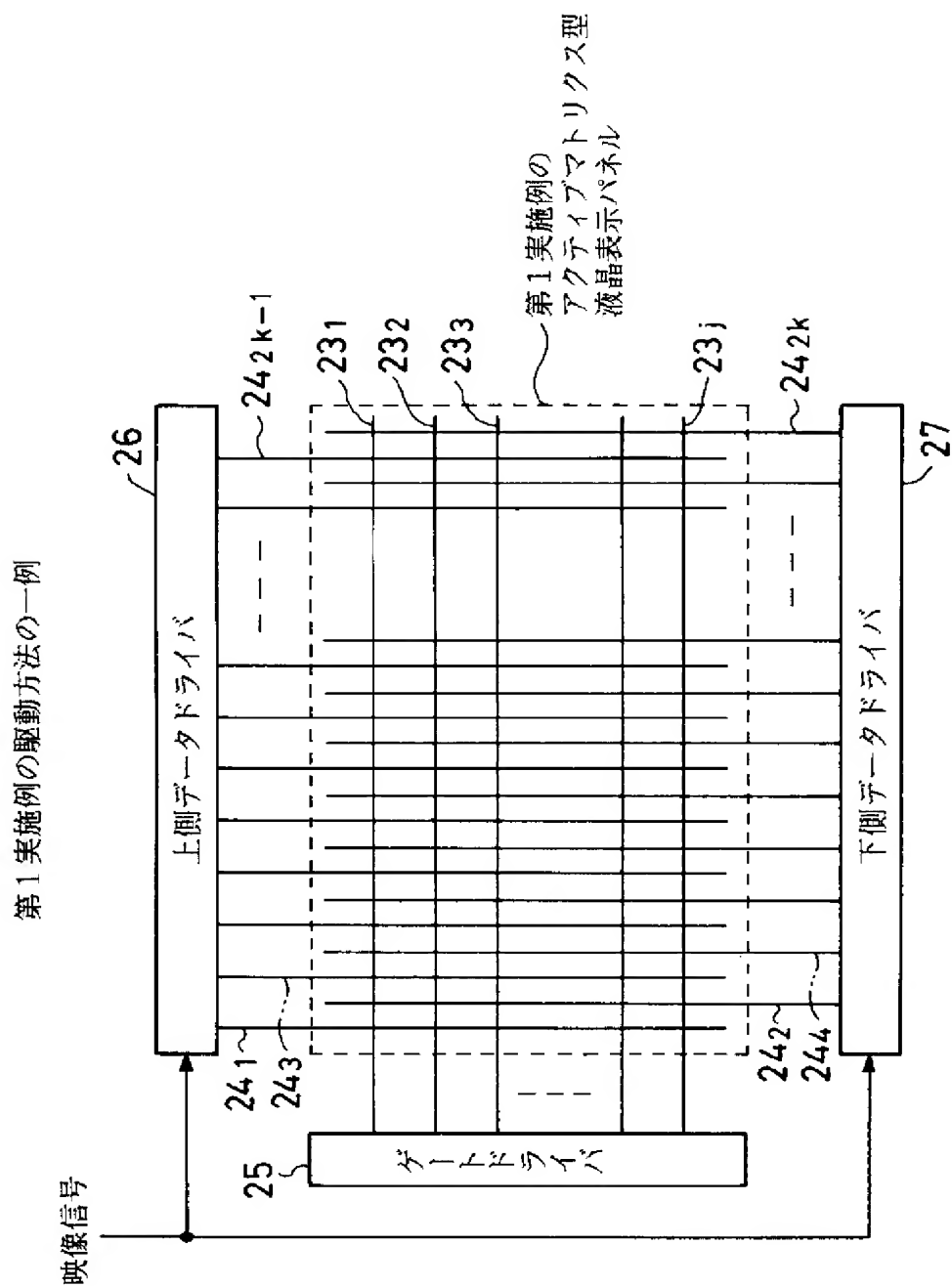


【図3】

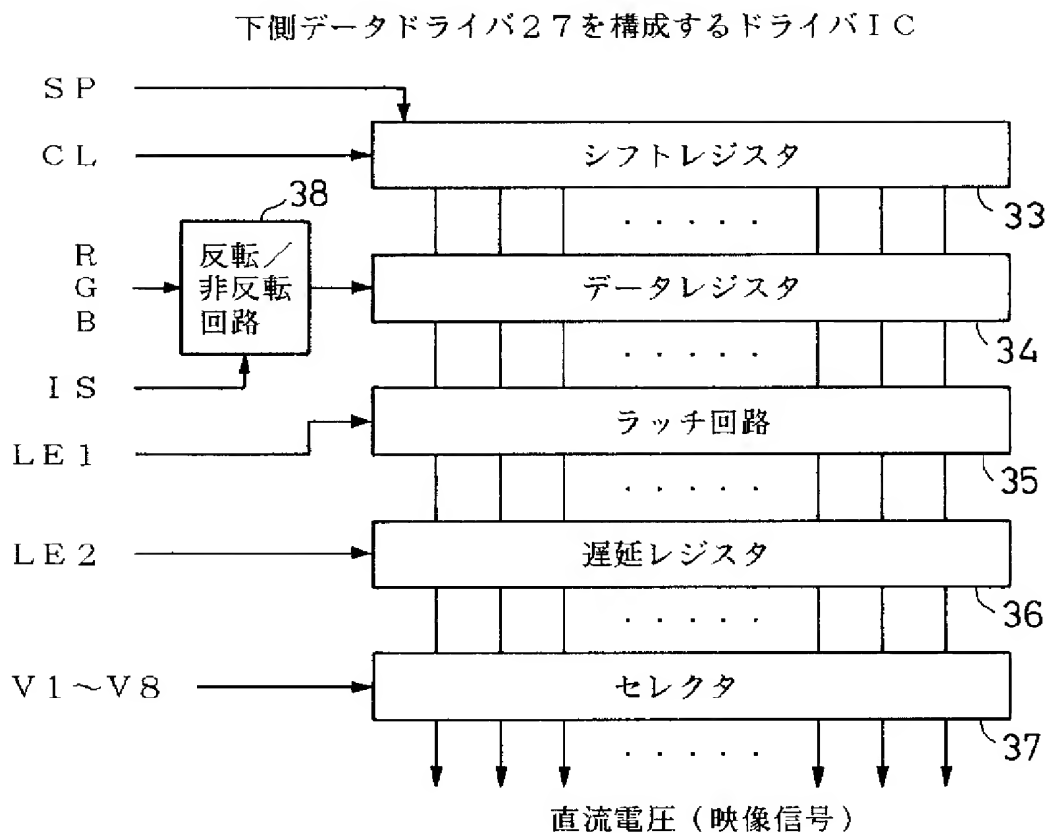
上側データドライバ26を構成するドライバIC



【図2】

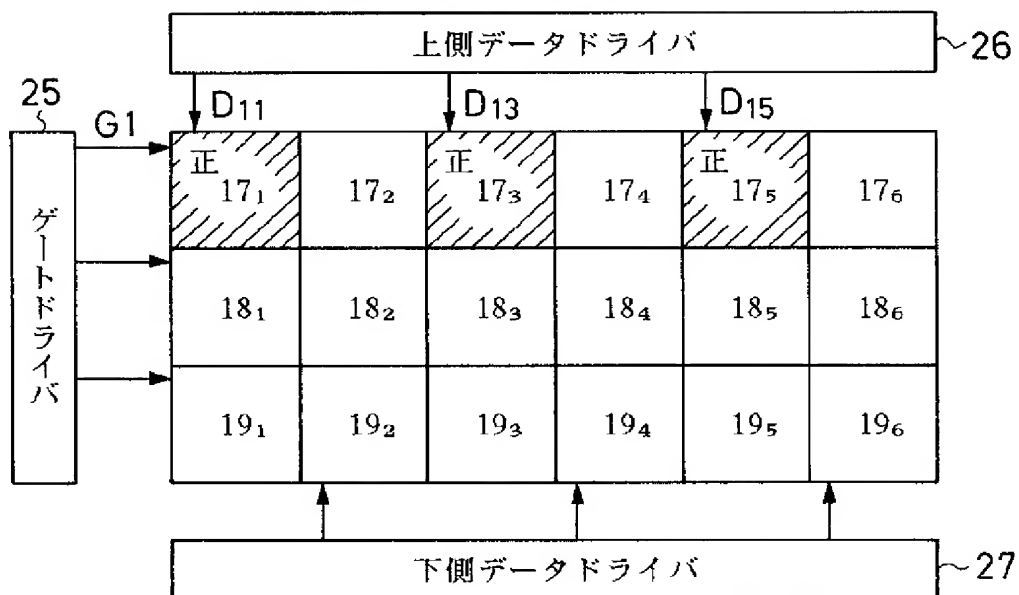


【図4】



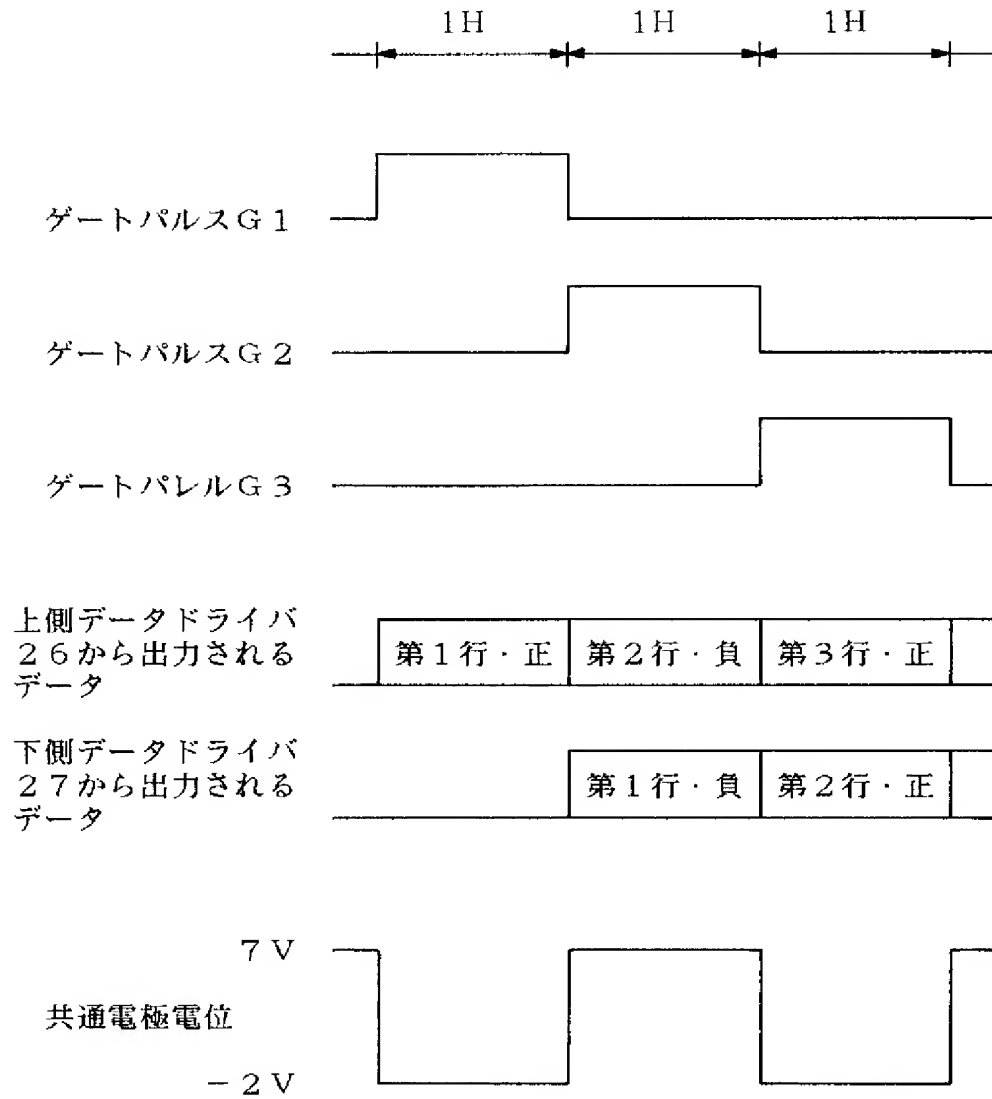
【図6】

第1実施例の駆動動作説明図



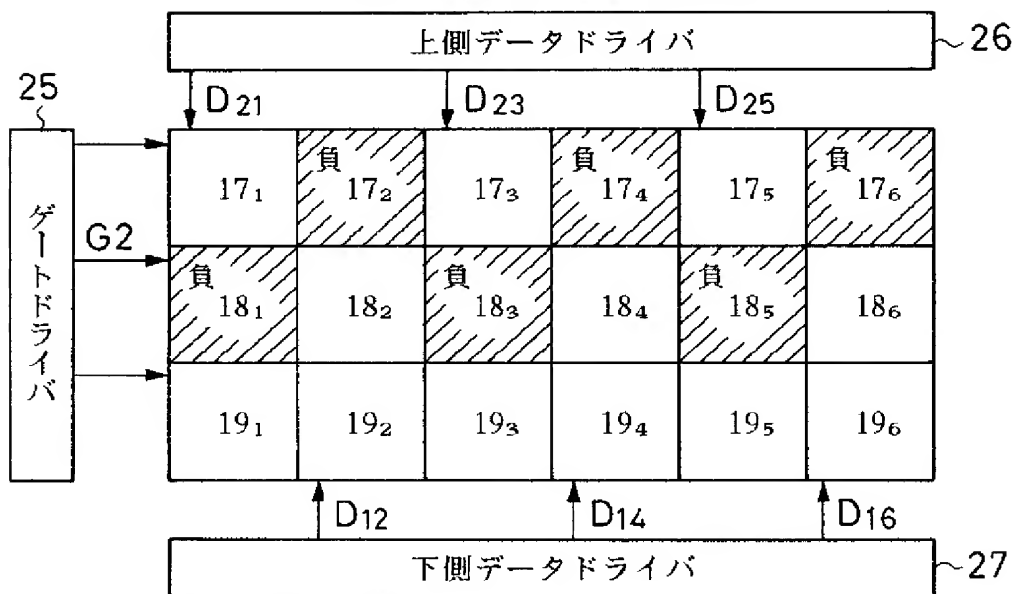
【図5】

第1実施例の駆動動作を示すタイムチャート



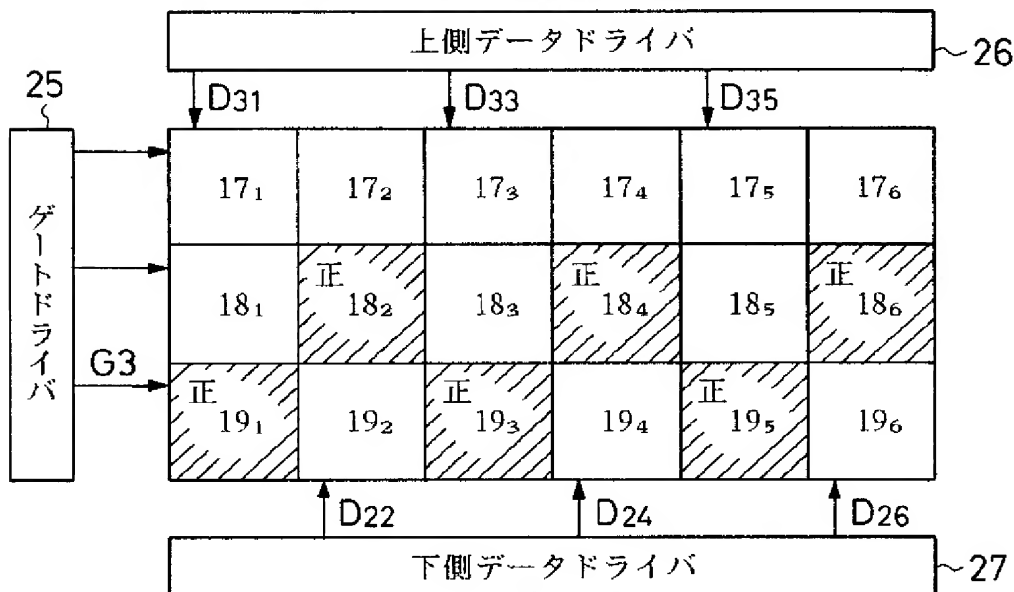
【図7】

第1実施例の駆動動作説明図



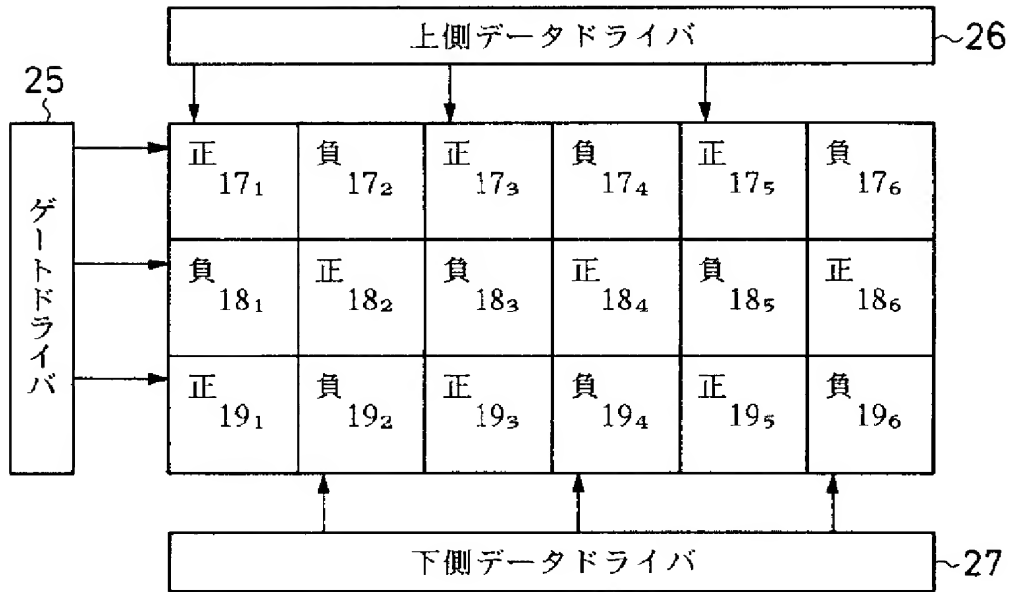
【図8】

第1実施例の駆動動作説明図



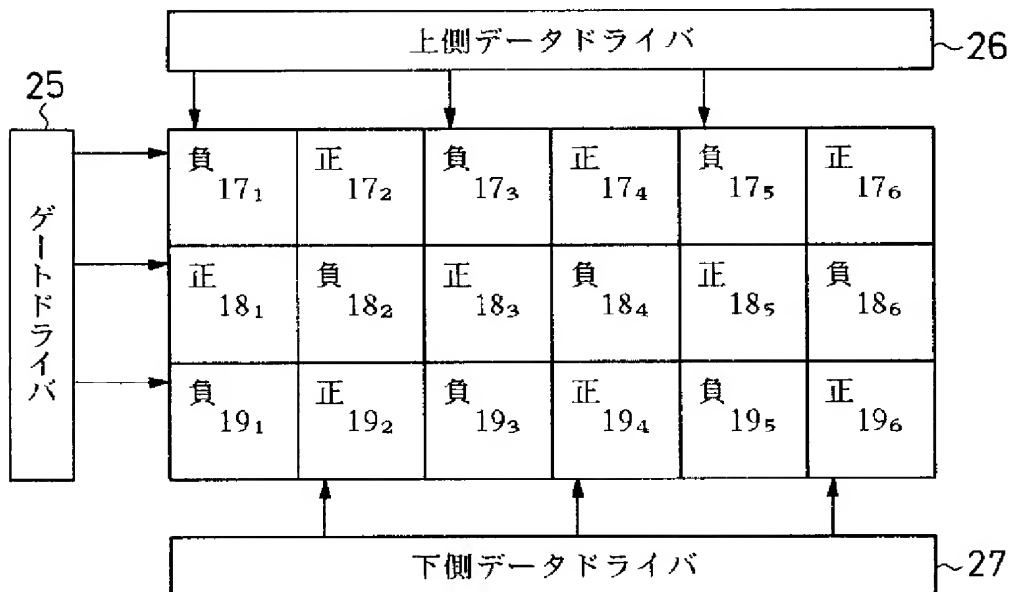
【図9】

第1実施例の駆動動作説明図

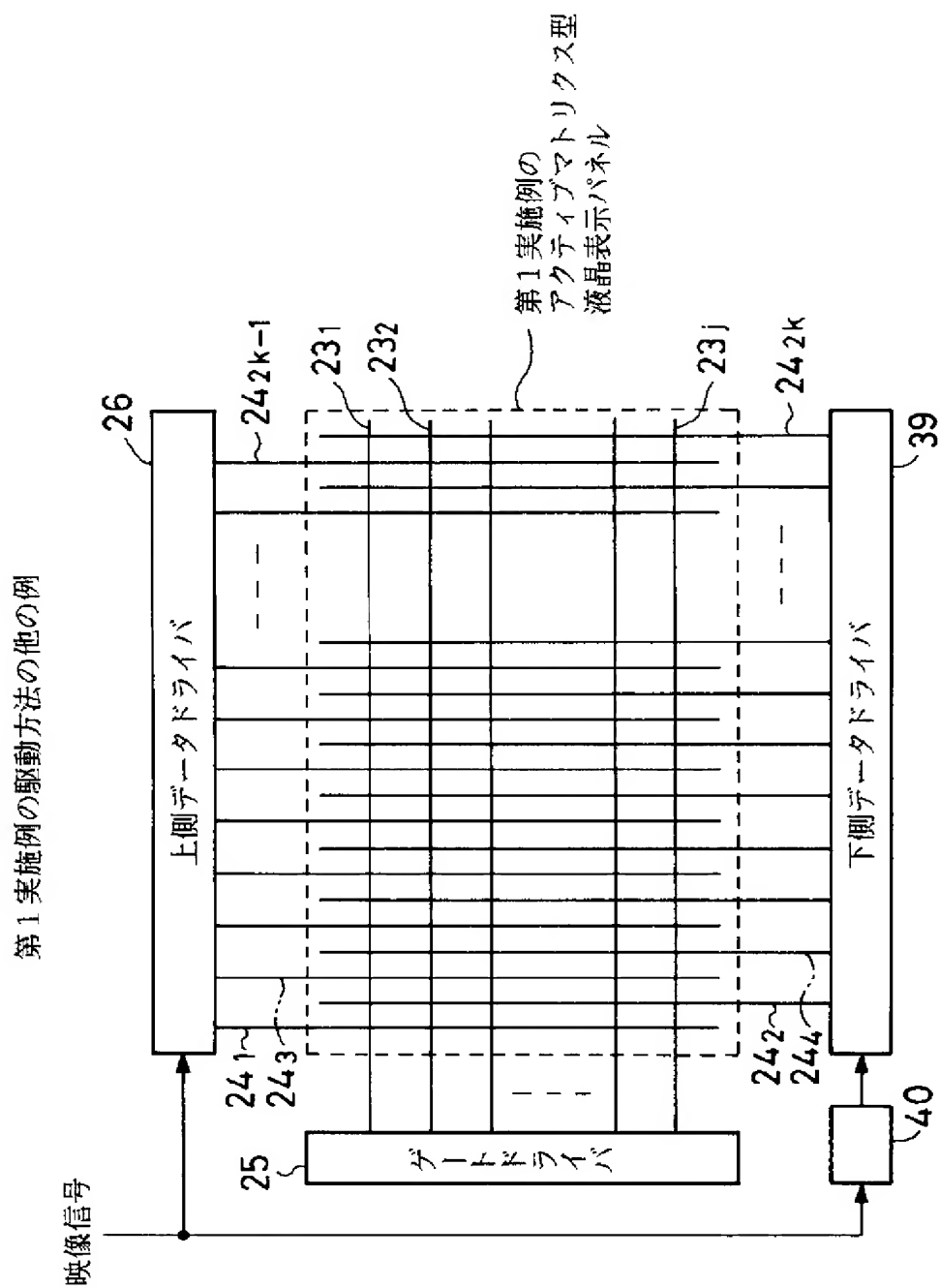


【図10】

第1実施例の駆動動作説明図

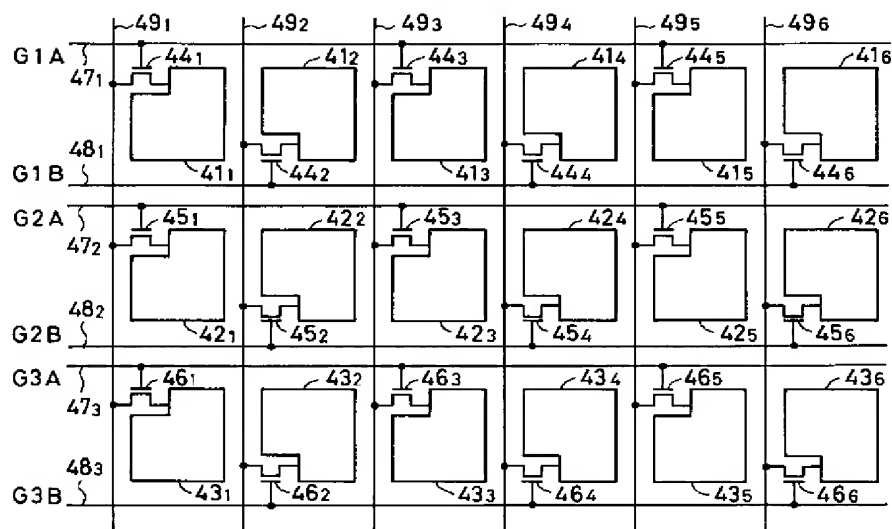


【図11】



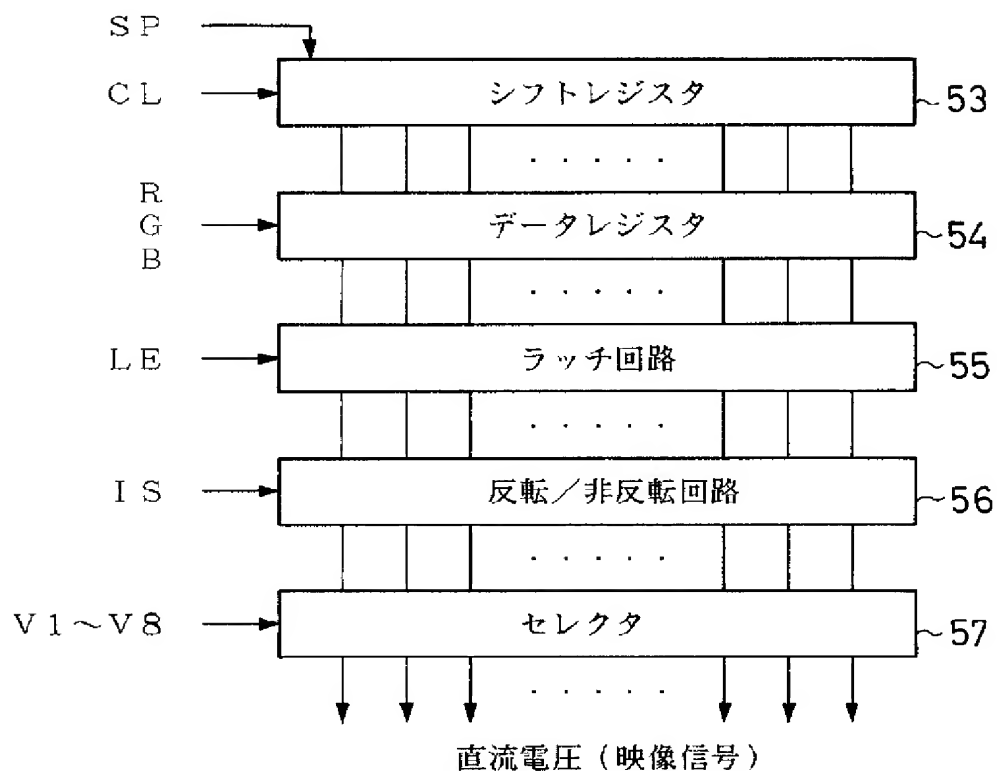
【図12】

第2実施例

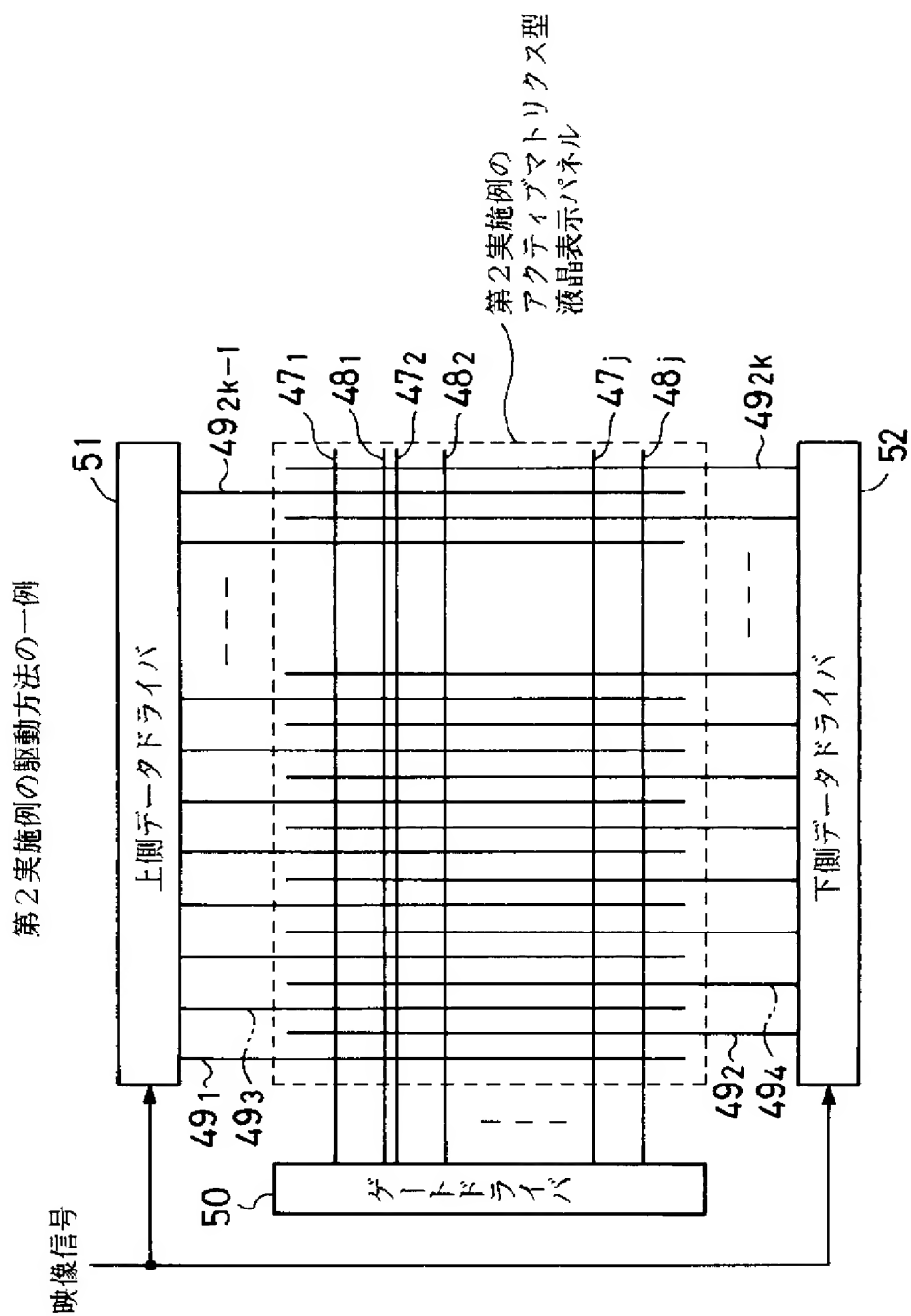


【図14】

上側データドライバ51及び下側データドライバ52
を構成するドライバIC

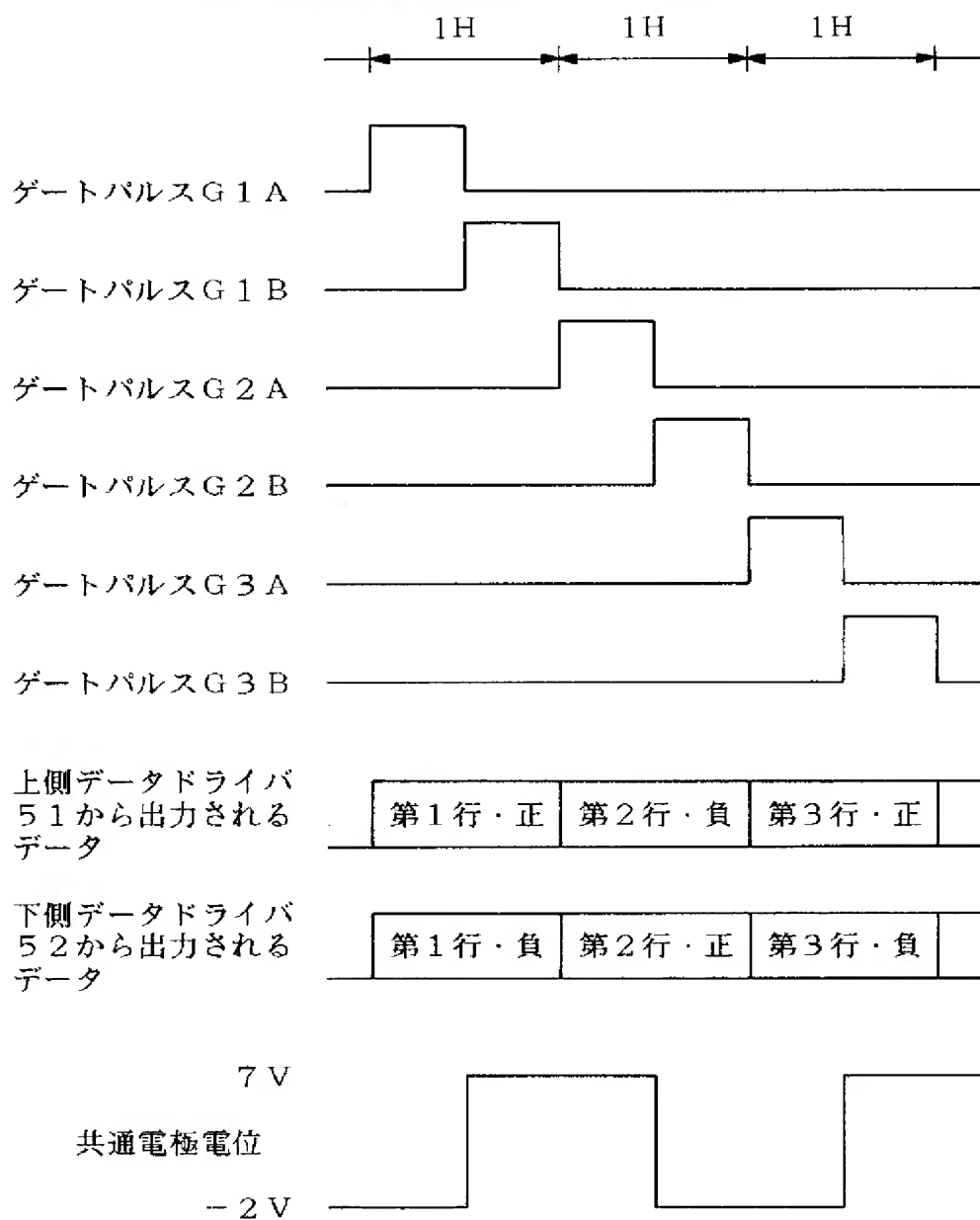


【図13】



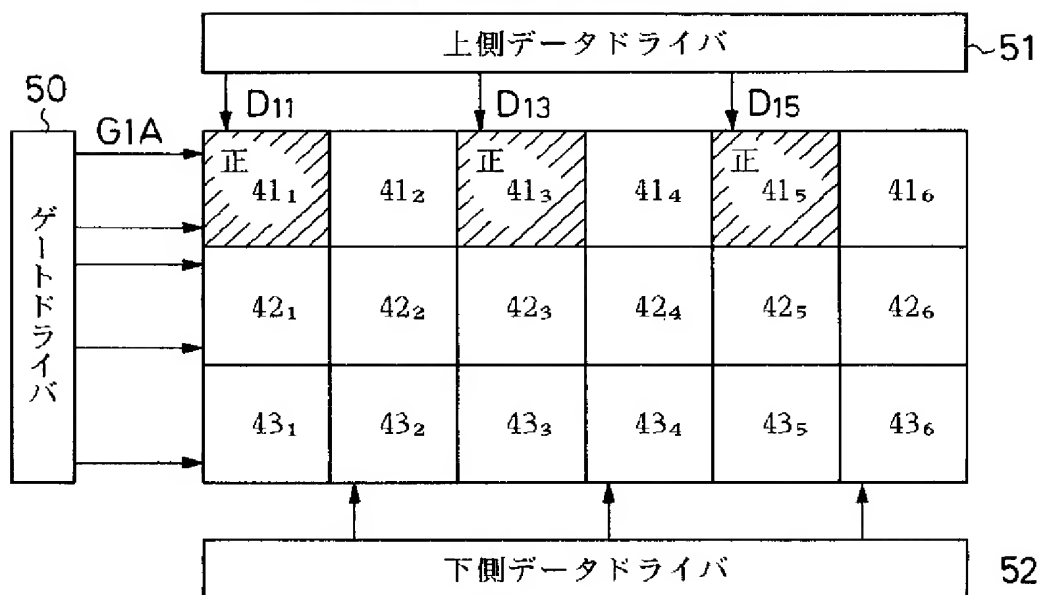
【図15】

第2実施例の駆動動作を示すタイムチャート



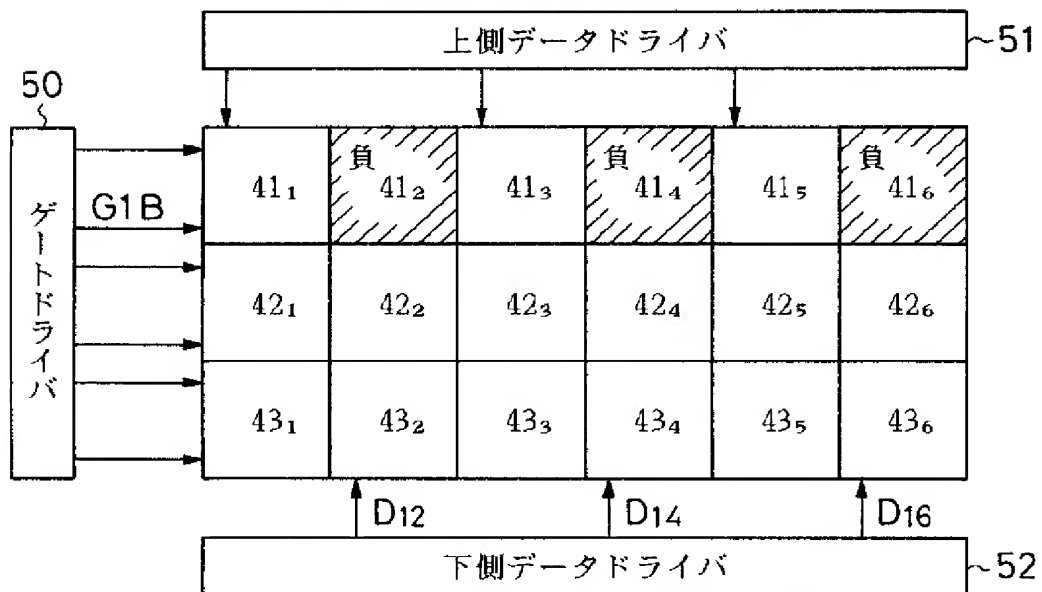
【図16】

第2実施例の駆動動作説明図



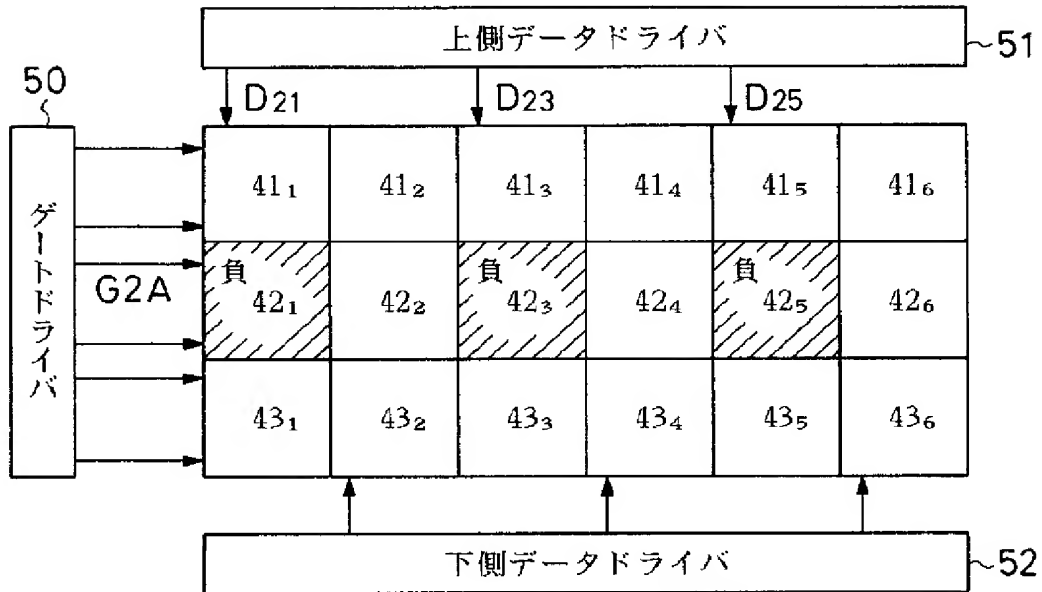
【図17】

第2実施例の駆動動作説明図



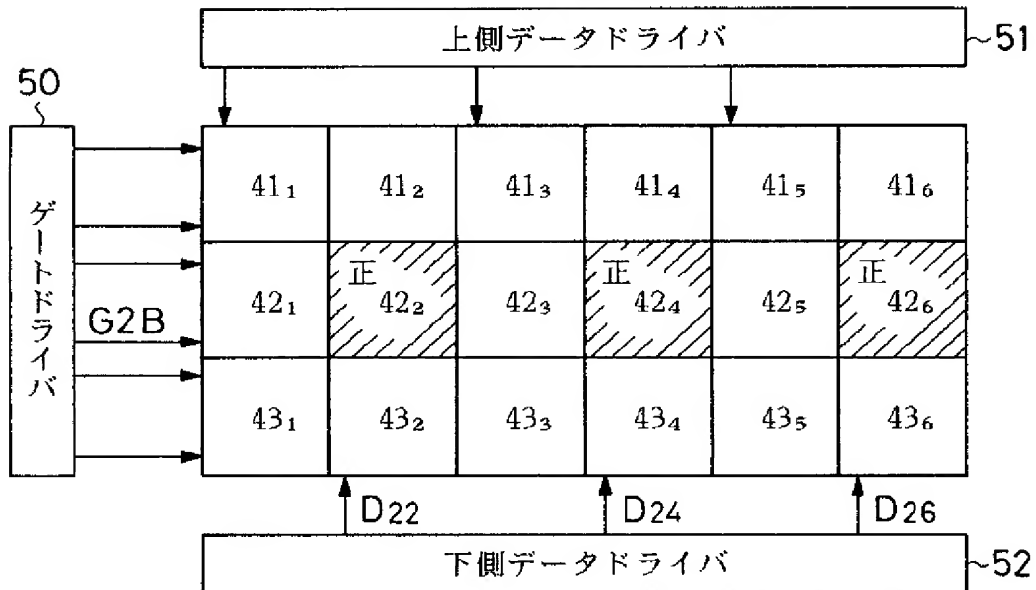
【図18】

第2実施例の駆動動作説明図



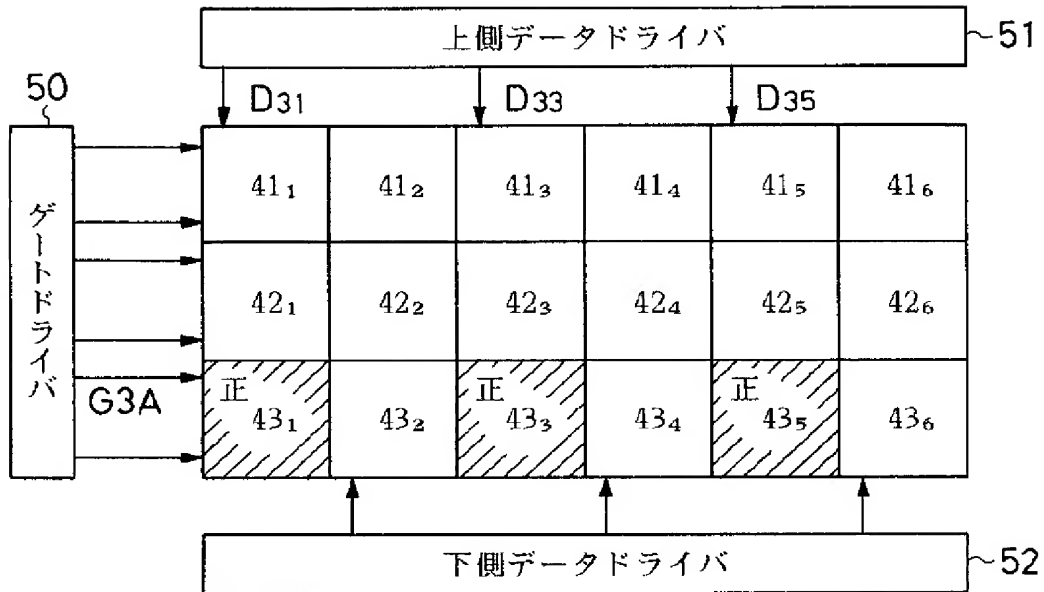
【図19】

第2実施例の駆動動作説明図



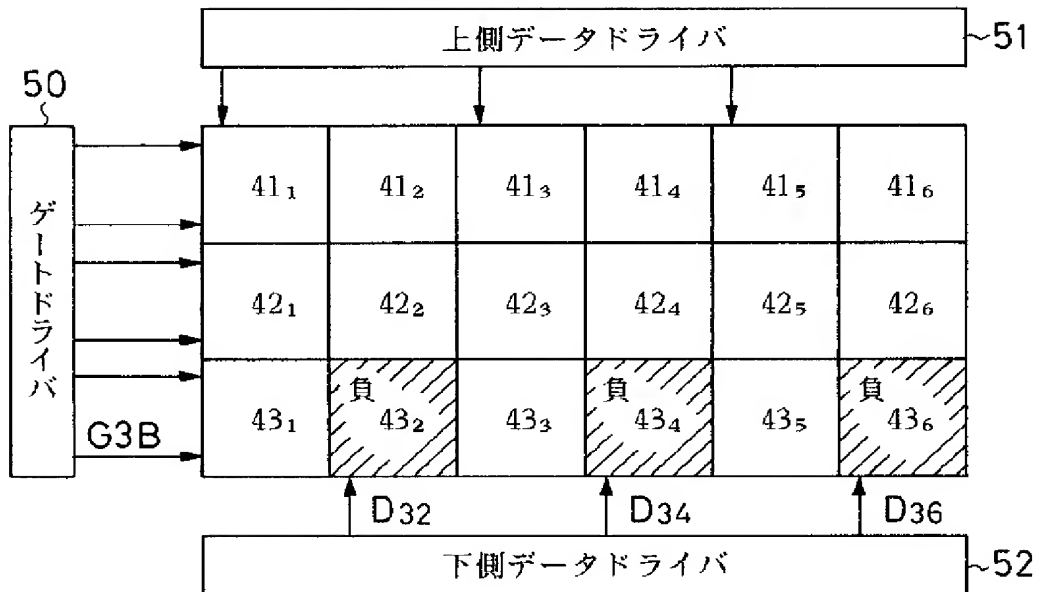
【図20】

第2実施例の駆動動作説明図



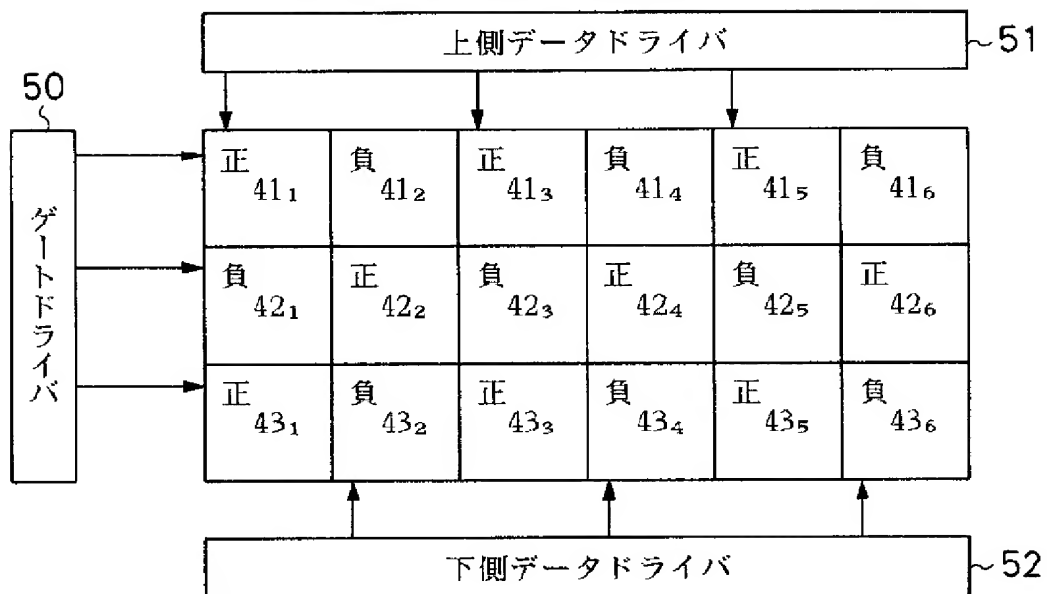
【図21】

第2実施例の駆動動作説明図



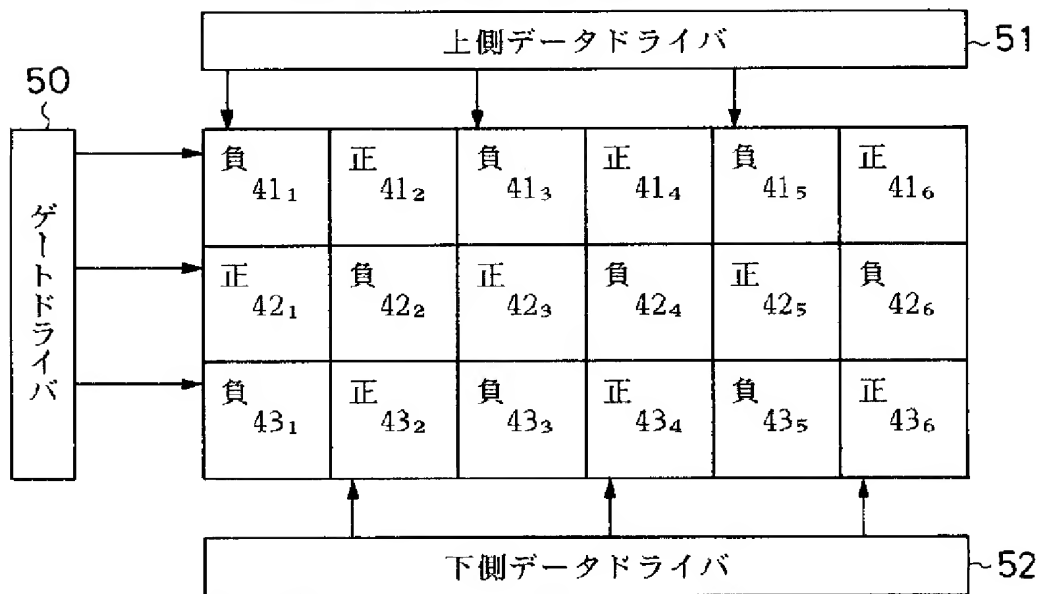
【図22】

第2実施例の駆動動作説明図

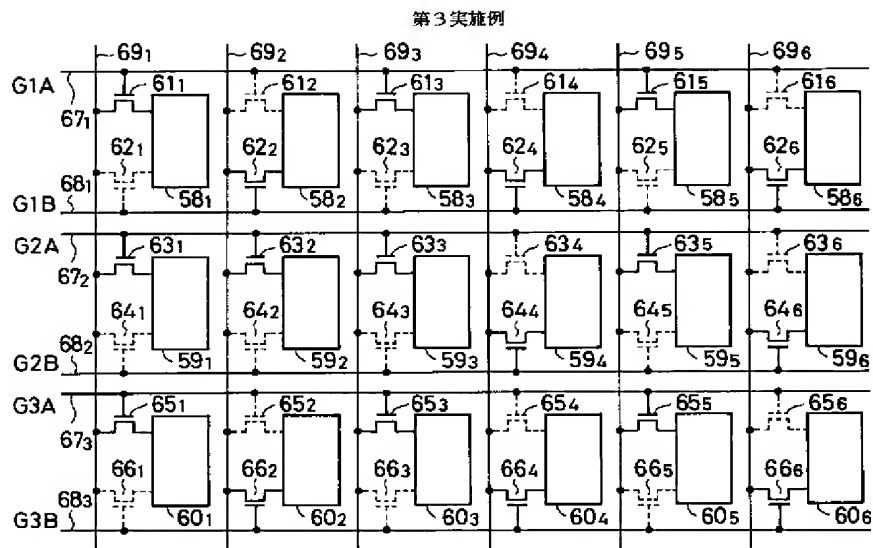


【図23】

第2実施例の駆動動作説明図

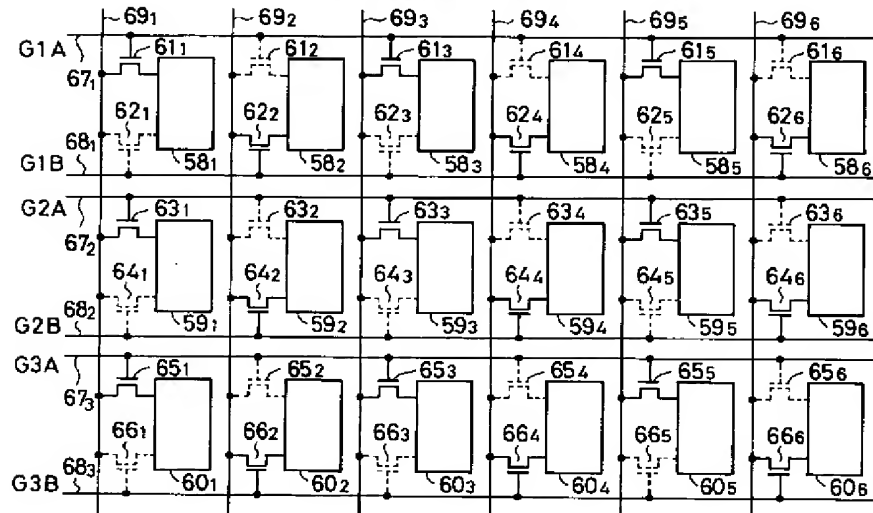


【図24】



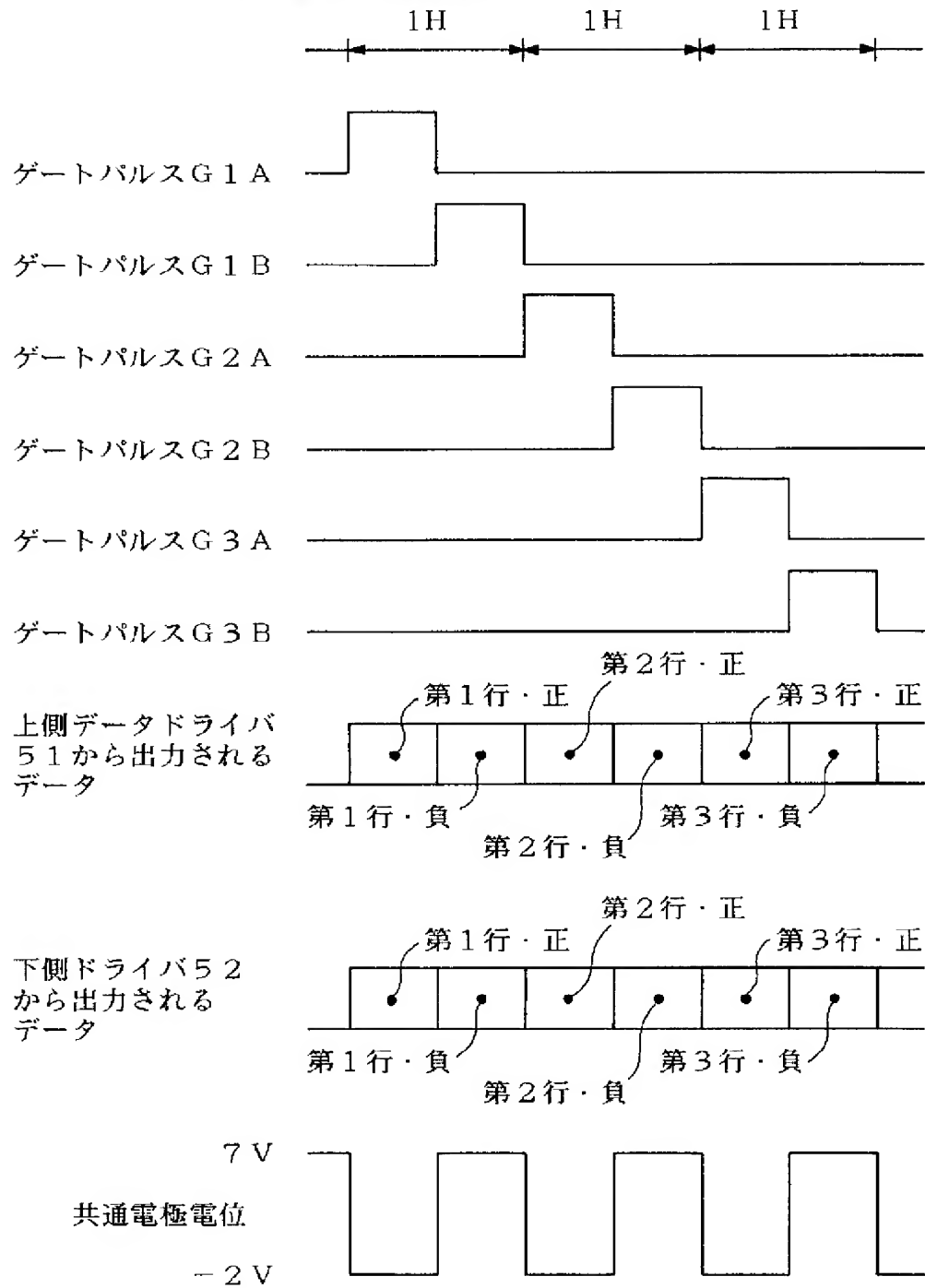
【図26】

第3実施例において、その構成を
第2実施例の場合と同様にした場合



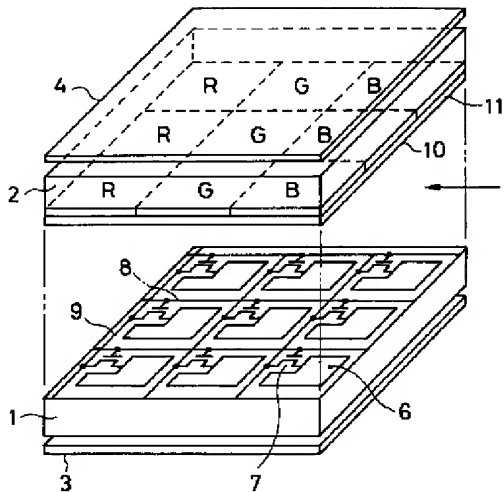
【図25】

第3実施例の駆動動作を示すタイムチャート



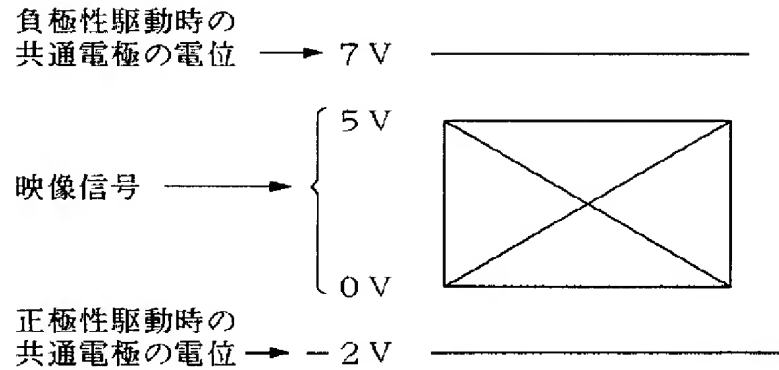
【图 27】

従来のアクティブマトリクス型液晶表示パネル



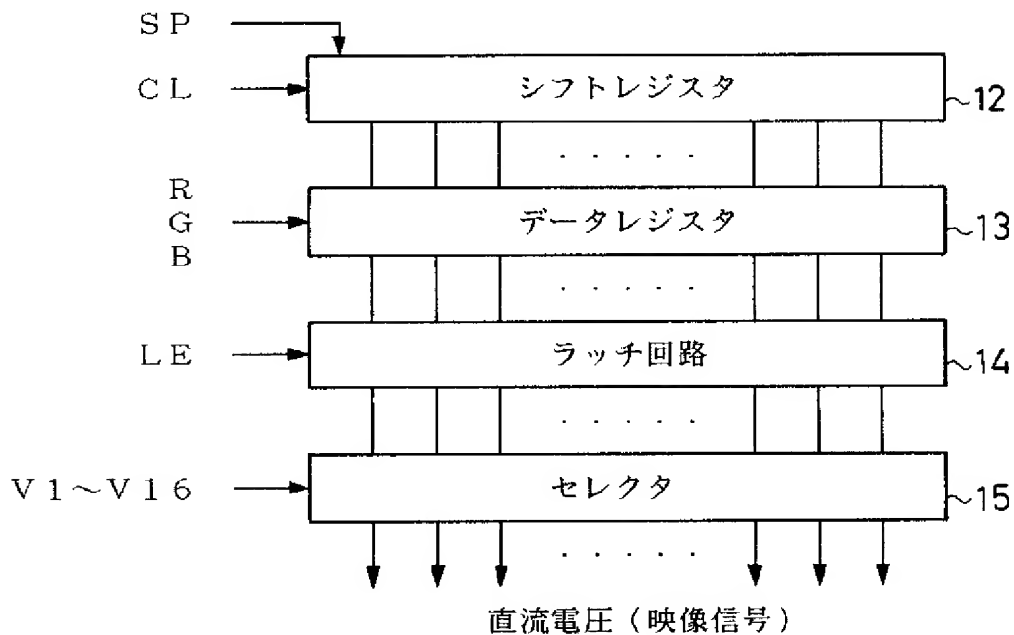
【图29】

低電圧交流駆動方法を説明するための図



【図28】

ドライバ I C の一例



フロントページの続き